

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102543

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 27/10

(21)Application number : 11-279950

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.09.1999

(72)Inventor : GOTO YASUYUKI  
TSUKADA MINEHARU

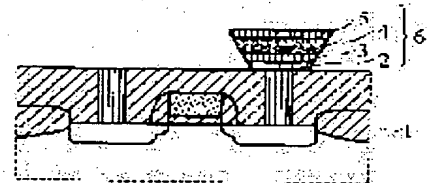
## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To form a charge-storage capacitor by using a dielectric film having superior characteristics.

SOLUTION: An insulating charge-retention layer 4, which is a component of a charge-retention capacitor 6 to be provided on a semiconductor substrate 1 having a transistor, of which the main component is either monocrystal or a dielectric film.

本発明の原理的構成の説明図



- 1: トランジスタを設けた半導体基板
- 2: 下部バリアメタル層
- 3: トロード電極
- 4: 電荷保持層
- 5: 上部電極
- 6: 電荷保持用キャパシタ

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-102543

(P2001-102543A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 27/108		H 0 1 L 27/10	4 5 1 5 F 0 8 3
21/8242			6 5 1
27/10	4 5 1		

審査請求 未請求 請求項の数3 O L (全 14 頁)

(21) 出願番号 特願平11-279950

(22) 出願日 平成11年9月30日 (1999.9.30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 後藤 康之

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 塚田 峰春

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100105337

弁理士 眞鍋 潔 (外3名)

最終頁に続く

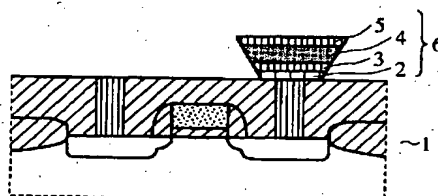
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置及びその製造方法に関し、より特性の優れた誘電体膜を用いて電荷蓄積用キャパシタを構成する。

【解決手段】 トランジスタを設けた半導体基板1上に設ける電荷保持用キャパシタ6を構成する絶縁性の電荷保持層4を、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜のいずれかによって構成する。

本発明の原理的構成の説明図



- 1: トランジスタを設けた半導体基板
- 2: 下部バリアメタル層
- 3: 下部電極
- 4: 電荷保持層
- 5: 上部電極
- 6: 電荷保持用キャパシタ

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 トランジスタを設けた半導体基板上に電荷保持用キャパシタを設けた半導体装置において、前記電荷保持用キャパシタを構成する絶縁性の電荷保持層が、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜のいずれかによって構成されていることを特徴とする半導体装置。

【請求項2】 上記電荷保持用キャパシタを構成する下部バリアメタル層及び下部電極の幅の平均値が、上記電荷保持層の幅の平均値より狭いことを特徴とする請求項1記載の半導体装置。

【請求項3】 トランジスタを設けた半導体基板上に電荷保持用キャパシタを設けた半導体装置の製造方法において、前記トランジスタを設けた半導体基板上に、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜のいずれかからなる電荷保持層を少なくとも設けた支持基板を、前記支持基板が上側になるように接着したのち、前記支持基板を除去することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関するものであり、特に、FeRAM (Ferroelectric RAM) やDRAM (ダイナミック・ランダム・アクセス・メモリ) 等の半導体記憶装置を構成するキャパシタに用いられる電荷保持層として単結晶の誘電体膜或いは主たる部分が単結晶からなる誘電体膜を用いた点に特徴のある半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、各種の情報を記録するためにDRAM (ダイナミック・ランダム・アクセス・メモリ)、SRAM (スタティック・ランダム・アクセス・メモリ)、或いは、FLASH (フラッシュ・メモリ) 等の半導体装置が用いられており、この内、DRAMは読出、書込の速度が数10n秒程度と速く、また、耐用年数が $10^{11}$ 回以上と長いという特長を有する。

【0003】また、強誘電体メモリ (FeRAM) は、リフレッシュ動作の必要がなく、動作速度が速く、且つ、耐用年数の長いメモリとして注目されている。即ち、FeRAMは、強誘電体膜の分極特性を利用した不揮発性メモリであるためリフレッシュ動作を必要とせず、また、書込及び読出速度がDRAMと同程度であり、且つ、耐用年数も $10^{12}$ 回以上とFLASHより長いという特長がある。

【0004】このようなFeRAMやDRAMにおいて、より小型化が要求される次世代素子においては、その電荷保持層として、特性の優れた材料が望まれている。例えば、FeRAMにおいて望まれている特性としては、ファティーグ (繰返し劣化)、インプリント (極性の

移動)、リテンション (情報記憶保持特性) ロス、水素劣化 (プロセス中劣化) 等の無い、或いは、少ない材料が要請されている。

【0005】現在、FeRAMに用いられる強誘電体膜材料としては、PZT ( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ ) やPLZT (LaドープPZT) 等のPbを含むペロブスカイト酸化物、或いは、SBT等のBi系層状ペロブスカイト酸化物が使用されており、このようなメモリセルを構成する強誘電体キャパシタに用いる強誘電体薄膜は、スパッタリング法、ゾルゲル (Sol-Gel) 法、或いは、CVD法等によって形成されているので、図12を参照して従来のFeRAMを説明する。

【0006】図12参照図12は従来のFeRAMの概略的要部断面図であり、まず、n型シリコン基板61の所定領域にp型ウェル領域62を形成するとともに、n型シリコン基板61を選択酸化することによって素子分離酸化膜63を形成したのち、素子形成領域にゲート絶縁膜64を介して、例えば、WSiからなるゲート電極65を形成し、このゲート電極65をマスクとしてAs等のイオンを注入することによってn<sup>-</sup>型LDD (Lightly Doped Drain) 領域66を形成する。

【0007】次いで、全面にSiO<sub>2</sub>膜等を堆積させ、異方性エッチングを施すことによってサイドウォール67を形成したのち、再び、As等をイオン注入することによってn<sup>+</sup>型ドレイン領域68及びn<sup>+</sup>型ソース領域69を形成し、次いで、TEOS (Tetra-Ethyl-Ortho-Silicate) -NSG膜等の厚いSiO<sub>2</sub>膜等からなる第1層間絶縁膜70を形成したのち、n<sup>+</sup>型ドレイン領域68及びn<sup>+</sup>型ソース領域69に達するコンタクトホールを形成し、このコンタクトホールをWで埋め込むことによってWプラグ71、72を形成する。

【0008】次いで、CVD法を用いて全面に薄いSiN膜73及びSiO<sub>2</sub>膜74を堆積させたのち、スパッタリング法によってTiN膜及びPt膜を堆積させて下部電極75を形成し、次いで、スパッタリング法を用いてアモルファス状のスパッタPZT膜を堆積させたのち、650~750℃の大気圧酸素雰囲気中において30~60分の熱処理を行うことによって、スパッタPZT膜をペロブスカイト酸化物として結晶化させることによって、結晶化したPZT膜76とする。

【0009】次いで、再び、スパッタリング法を用いてPZT膜76上にPtを堆積させて上部電極77を形成したのち、大気圧酸素雰囲気中において500~650℃で30分間程度の熱処理を行なってPZT膜76が受けた損傷を回復したのち、上部電極77乃至下部電極75をバナーニングすることによって強誘電体キャパシタを形成する。

【0010】次いで、全面に薄いSiO<sub>2</sub>膜等からなる

第2層間絶縁膜78を設けたのち、Wプラグ72に達するコンタクトホールを形成するとともに、上部電極77に対するコンタクトホールを設けたのち、全面にTiN膜を堆積させてバターンニングすることによって局所内部配線(Local Interconnect)79を形成する。

【0011】最後に、全面にTEOS-NSG膜等からなる第3層間絶縁膜80を形成したのち、Wプラグ71に達するコンタクトホールを形成し、次いで、全面に、TiN膜、Al膜、Ti膜、及び、TiN膜を順次堆積させたのちバターンニングしてWプラグ71を介してn<sup>+</sup>型ドレイン領域68に接続するビット線81を形成することによってFeRAMの1メモリセルの基本構造が完成する。

【0012】

【発明が解決しようとする課題】しかし、このような強誘電体膜は多結晶状態で形成されているため、特性の向上を、組成条件の最適化や微量元素の添加等によって達成しようとしているが、未だ、必ずしも充分な特性が得られているとは言えないという問題がある。

【0013】したがって、本発明は、より特性の優れた誘電体膜を用いて電荷蓄積用キャパシタを構成することを目的とする。

【0014】

【課題を解決するための手段】図1は本発明の原理的構成図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図1は、1メモリセルの概略的断面図である。

図1参照

(1)本発明は、トランジスタを設けた半導体基板1上に電荷保持用キャパシタ6を設けた半導体装置において、電荷保持用キャパシタ6を構成する絶縁性の電荷保持層4が、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜のいずれかによって構成されていることを特徴とする。

【0015】この様に、電荷保持用キャパシタ6を構成する電荷保持層4を、単結晶の誘電体膜或いは主たる部分が単結晶からなる誘電体膜によって構成することによって、電荷保持用キャパシタ6の特性を大幅に向上することができる。なお、本願明細書において、「主たる部分が単結晶」とは、一部が完全に単結晶になっていないが、全体としては単結晶とみなせる結晶状態を意味するものであり、例えば、エピタキシャル成長膜等を意味する。

【0016】即ち、本発明者は、鋭意研究の結果、電荷保持層4の結晶性を向上させることによって、電荷保持用キャパシタ6の各特性を向上することができることを確認したものであり、結晶性の向上の極限として、単結晶膜或いはエピタキシャル成長膜を用いることによって、特性を最大限に改善することが可能になる。これ

は、従来の多結晶状態の誘電体膜においては、結晶粒界等の格子の乱れの部分により各種の特性が劣化しているとの知見によるものであり、格子の乱れの少ない単結晶膜或いは格子の乱れの少ないエピタキシャル成長膜を用いることによって優れた特性を得ることができる。

【0017】(2)また、本発明は、上記(1)において、電荷保持用キャパシタ6を構成する下部バリアメタル層2または下部電極3の幅の平均値が、電荷保持層4の幅の平均値より狭いことを特徴とする。

【0018】次世代型の半導体記憶装置においては、集積度を向上するためには電荷保持用キャパシタ6をより小型化する必要があるが、通常の方法ではバターンニング工程においては下部電極3が上部電極5より大きくなる順メサ状の台形状となり、下部電極3の大きさには集積度の関係で制限があるため、電荷保持層4を大きくすることができないが、逆メサ状にすることによって、即ち、下部バリアメタル層2及び下部電極3の幅の平均値を、電荷保持層4の幅の平均値より狭くすることによって、電荷保持層4を大きくすることができる。

【0019】(3)また、本発明は、トランジスタを設けた半導体基板1上に電荷保持用キャパシタ6を設けた半導体装置の製造方法において、トランジスタを設けた半導体基板1上に、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜のいずれかからなる電荷保持層4を少なくとも設けた支持基板を、支持基板が上側になるように接着したのち、この支持基板を除去することの特徴とする。

【0020】この様に、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜からなる電荷保持層4を少なくとも設けた支持基板を用いることによって、単結晶の誘電体膜或いは主たる部分が単結晶の誘電体膜からなる電荷保持層4を、トランジスタを設けた半導体基板1上に成長させる必要がないので、優れた結晶状態の電荷保持層4を用いることができる。

【0021】また、支持基板の除去に際しては、支持基板としてKBr基板を用いた場合には、水(H<sub>2</sub>O)によって簡単に除去することができ、また、LiF基板を用いた場合には、LiOHを用いることによって簡単に除去することができる。さらに、支持基板と電荷保持層4との間にPt層を設けた場合には、H<sub>2</sub>雰囲気中でアニール処理することによってPtの触媒効果によって剥離することができる。

【0022】また、支持基板は機械研磨によって除去しても良いものであり、さらに、機械研磨で支持基板を除去する際に、支持基板の一部を残して電荷保持層4としても良いものである。

【0023】

【発明の実施の形態】ここで、まず、図2を参照して、本発明の第1の実施の形態の製造工程を説明する。なお、各図は、1メモリセルの概略的断面図であり、Si

O<sub>2</sub>、膜23の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図2(a)参照

まず、SiO<sub>2</sub>膜23を設けたp型シリコン基板11上の素子分離酸化膜12に対応する領域に、マスクスパッタリング法を用いて厚さ20nmのTiN膜24及び厚さ200nmのPt下部電極25を順次堆積させたのち、厚さが、例えば、0.5mm(=500μm)の単結晶のBaTiO<sub>3</sub>、基板26を圧着し、例えば、700℃に加熱することによってBaTiO<sub>3</sub>、基板26を接合する。

【0024】図2(b)参照

次いで、機械研磨法によって、BaTiO<sub>3</sub>、基板26を、例えば、300nm(=0.3μm)の厚さに研磨してBaTiO<sub>3</sub>、膜27にする。

【0025】図2(c)参照

次いで、エッチングを施すことによって、BaTiO<sub>3</sub>、膜27をPt下部電極25とほぼ同じ大きさにパターニングしたのち、再び、マスクスパッタリング法によって、厚さが200nmのPt上部電極28を形成する。以降は、従来のFeRAMの製造工程と同様に、第2層間絶縁膜を設けたのち、Wプラグ18及びPt上部電極28に達するコンタクトホールを形成し、次いで、全面にTiN膜を堆積させたのちパターニングすることによって局所内部配線を形成して、Wプラグ18とPt上部電極28とを接続することによって、FeRAMのメモリセルの基本構成が完成する。

【0026】この本発明の第1の実施の形態においては、結晶性の良好なバルク成長させた単結晶のBaTiO<sub>3</sub>、基板26を用いて電荷保持層を構成しており、結晶粒界における格子の乱れが無くなるので、従来のようにスパッタリング法等によって作製した素子に比べて、水素劣化耐性、インプリント特性、繰り返し劣化特性等において優れた特性を得ることができる。

【0027】次に、図3を参照して、本発明の第2の実施の形態の製造工程を説明する。なお、各図は、1メモリセルの概略的断面図であり、また、この場合もSiO<sub>2</sub>、膜23の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図3(a)参照

まず、キャパシタの支持基板となるシリコン基板29上に、エビタキシャル成長法を用いて、厚さが、例えば、200nmのSrRuO<sub>3</sub>、膜30、厚さが、例えば、500nmのPZT(PbZrTiO<sub>3</sub>)膜31、及び、厚さが、例えば、200nmのSrRuO<sub>3</sub>、膜32を成膜する。

【0028】次いで、SiO<sub>2</sub>、膜23を設けたp型シリコン基板11上の素子分離酸化膜12に対応する領域

に、マスクスパッタリング法を用いて厚さ20nmのTiN膜24及び厚さ200nmのPt下部電極25を順次堆積させたのち、上記のSrRuO<sub>3</sub>、膜32乃至SrRuO<sub>3</sub>、膜30を堆積させたシリコン基板29を圧着し、アニール処理によって接合する。

【0029】図3(b)参照

次いで、機械研磨法によって、シリコン基板29を完全に除去する。

【0030】図3(c)参照

次いで、エッチングを施すことによって、SrRuO<sub>3</sub>、膜30乃至SrRuO<sub>3</sub>、膜32をPt下部電極25とほぼ同じ大きさにパターニングし、SrRuO<sub>3</sub>、電極35/PZT膜34/SrRuO<sub>3</sub>、電極33としたのち、再び、マスクスパッタリング法によって、厚さが200nmのPt上部電極28を形成する。以降は、上記の第1の実施の形態と同様に局所内部配線を形成して、Wプラグ18とPt上部電極28とを接続することによって、FeRAMのメモリセルの基本構成が完成する。

【0031】この本発明の第2の実施の形態においては、安価なシリコン基板29を用いるとともに、SrRuO<sub>3</sub>、膜30を介してPZT膜31をエビタキシャル成長させているので、結晶性の良好な電荷保持層を構成することができる。なお、この場合のエビタキシャル成長させたPZT膜31は必ずしも完全な単結晶ではないが、その主たる部分は単結晶であるので、結晶粒界における格子の乱れが少なくなり、従来の素子に比べて、優れた特性を得ることができる。また、BaTiO<sub>3</sub>、とPZTとの特性の違いによって、上記の第1の実施の形態より優れた特性を得ることができる。

【0032】次に、図4を参照して、本発明の第3の実施の形態の製造工程を説明する。なお、各図は、1メモリセルの概略的断面図であり、また、この場合もSiO<sub>2</sub>、膜23の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図4(a)参照

まず、支持基板となる(111)を主面とする単結晶のKBr基板36上に、エビタキシャル成長法を用いて、(111)配向した厚さが、例えば、500nmのPZT膜37を成膜する。

【0033】次いで、SiO<sub>2</sub>、膜23を設けたp型シリコン基板11上の素子分離酸化膜12に対応する領域に、マスクスパッタリング法を用いて厚さ20nmのTiN膜24及び厚さ200nmのPt下部電極25を順次堆積させたのち、上記のPZT膜37を堆積させたKBr基板36を圧着し、アニール処理によって接合する。

【0034】図4(b)参照

次いで、基板全体を純水中に浸漬することによって、KBr基板36を完全に除去する。

【0035】図4(c)参照

次いで、PZT膜37をエッチングすることによって、Pt下部電極25とはほぼ同じ大きさのPZT膜38にしたのち、再び、マスキング法によって、厚さが200nmのPt上部電極39を形成する。以降は、上記の第1の実施の形態と同様に局所内部配線を形成して、Wプラグ18とPt上部電極39とを接続することによって、FeRAMのメモリセルの基本構成が完成する。

【0036】この本発明の第3の実施の形態においては、KBr基板36を用いているので、支持基板の除去は純水を用いるだけで良く、支持基板の除去工程が非常に容易になる。なお、この場合のエピタキシャル成長させたPZT膜37も必ずしも完全な単結晶ではないが、その主たる部分は単結晶であるので、結晶粒界における格子の乱れが少なくなり、従来の素子に比べて、優れた特性を得ることができる。

【0037】次に、図5を参照して、本発明の第4の実施の形態の製造工程を説明する。なお、各図は、1メモリセルの概略的断面図であり、また、この場合もSiO<sub>2</sub>膜23の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図5(a)参照

まず、支持基板となる(111)を主面とする単結晶のKBr基板36上に、厚さが、例えば、100nmのPt膜40を設けたのち、厚さが、例えば、300nmのPZT膜37を堆積させる。この場合のPZT膜37は、純粋なエピタキシャル成長層ではないが、その主たる部分は(111)配向した単結晶となる。

【0038】次いで、SiO<sub>2</sub>膜23を設けたp型シリコン基板11上の素子分離酸化膜12に対応する領域に、マスキング法を用いて厚さ20nmのTiN膜24及び厚さ200nmのPt下部電極25を順次堆積させたのち、上記のPZT膜37及びPt膜40を堆積させたKBr基板36を圧着し、アニール処理によって接合する。

【0039】図5(b)参照

次いで、H<sub>2</sub>雰囲気中で、例えば、300℃に加熱することによって、Ptの触媒作用によって、PZT膜37が剥離する。なお、この場合、Pt膜40はKBr基板36側に残ることになる。

【0040】図6(c)参照

次いで、PZT膜37をエッチングすることによって、Pt下部電極25とはほぼ同じ大きさのPZT膜38にしたのち、再び、マスキング法によって、厚さが200nmのPt上部電極39を形成する。以降は、上記の第1の実施の形態と同様に局所内部配線を形成して、Wプラグ18とPt上部電極39とを接続することによって、FeRAMのメモリセルの基本構成が完成す

る。

【0041】この本発明の第4の実施の形態においては、KBr基板36とPZT膜37との間にPt層40を介在させているので、H<sub>2</sub>雰囲気中の熱処理によってKBr基板36を除去することができ、ウェット処理工程を伴わないので、基板除去工程が容易になる。なお、この場合のPZT膜37もその主たる部分は(111)配向した単結晶であるので、結晶粒界における格子の乱れが少なくなり、従来の素子に比べて、優れた特性を得ることができる。

【0042】以上の第1乃至第4の実施の形態の説明においては、強誘電体キャパシタを素子分離酸化膜12に対応する領域に設け、n<sup>+</sup>型ソース領域18に接続するWプラグ21とは局所内部配線を介して接続されているが、より高集積度化が要求される次世代のFeRAMにおいては、強誘電体キャパシタをn<sup>+</sup>型ソース領域に接続するWプラグに直接接続するように配置することが考えられるので、この様な次世代FeRAMを、図6を参照して説明する。

【0043】図6参照

図6は次世代FeRAMの概略的断面図であり、上部電極77/強誘電体膜85/下部電極75からなる強誘電体キャパシタは、n<sup>+</sup>型ソース領域69に接続するプラグ83と直接接するように配置され、上部電極77は第2層間絶縁膜78に設けたプラグ86を介してプレート線(接地線)87に接続されることになる。この様に、次世代FeRAMにおいては、集積度を高めるために素子分離酸化膜63の面積を小さくし、強誘電体キャパシタを素子形成領域の上に設ける必要が生ずる。

【0044】次に、図7を参照して、次世代FeRAMに対応する本発明の第5の実施の形態の製造方法を説明する。なお、各図は、1メモリセルの概略的断面図であり、この場合、Wプラグ20、21の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図7(a)参照

まず、厚さが、例えば、0.5mm(=500μm)の単結晶のBaTiO<sub>3</sub>基板26に、マスキング法を用いて厚さ200nmのPt下部電極25及び厚さ20nmのTiN膜24を順次堆積させる。

【0045】次いで、Wプラグ20、21を設けたp型シリコン基板11上に、Wプラグ21とTiN膜24とが接続するように位置合わせしてBaTiO<sub>3</sub>膜26を圧着し、例えば、700℃に加熱することによってBaTiO<sub>3</sub>膜26を接合する。

【0046】図7(b)参照

次いで、機械研磨法によって、BaTiO<sub>3</sub>基板26を、例えば、300nm(=0.3μm)の厚さに研磨してBaTiO<sub>3</sub>膜27にしたのち、再び、マスキングバ

ッターリング法によって、厚さが200nmのPt上部電極28を形成する。

【0047】図7(c)参照

次いで、エッチングを施すことによって、BaTiO<sub>3</sub>膜27をPt下部電極25とほぼ同じ大きさにパターンニングしてBaTiO<sub>3</sub>膜41としたのち、図6に示した様に第2層間絶縁膜に設けたプラグを介してプレート線に接続することによって、FeRAMのメモリセルの基本構成が完成する。

【0048】この本発明の第5の実施の形態においては、単結晶からなる電荷保持層を有する強誘電体キャパシタをWプラグ21に直接接するように接合しているもので、集積度を向上することができるとともに、従来のようにスパッタリング法等によって作製した素子に比べて、水素劣化耐性、インプリント特性、繰返し劣化特性等において優れた特性を得ることができる。

【0049】この様に、強誘電体キャパシタをWプラグ21に直接接するように接合する構成は、上記の第1乃至第4の実施の形態にも適用されるものであり、それによって、集積度を向上することができる。

【0050】しかし、強誘電体キャパシタを構成する部材をWプラグ21に直接接するように接合した場合に、接合後に、強誘電体キャパシタをパターンニングするためのエッチング工程が必要になるが、このようなエッチング工程において、順メサ状の台形形状となるため、下部電極や下地バリアメタル層を余り厚く形成すると電荷保持層を大きくすることができないという問題が発生する。

【0051】そこで、このような問題を、電荷保持層を設けた支持基板側を予めメサエッチングすることによって解決したので、この様な製造工程を図8及び図9を参照して説明する。図8及び図9は本発明の第6の実施の形態の製造工程の説明図であり、各図は1メモリセルの概略的断面図であり、Wプラグ20、21の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図8(a)参照

まず、厚さが、例えば、0.5mm(=500μm)の単結晶のBaTiO<sub>3</sub>基板26に、パッターリング法を用いて厚さ20nmのTiN膜及び厚さ200nmのPt膜を順次堆積させたのち、レジストパターン(図示せず)をマスクとして、BaTiO<sub>3</sub>基板26の一部が露出するまでエッチングすることによって順テーパ状のメサ42を形成して、所定面積のTiN膜24及びPt下部電極25を形成する。

【0052】図8(b)参照

次いで、レジストパターンを除去したのち、全面に厚いSiO<sub>2</sub>膜43を堆積させて、メサ42の全体を被覆する。

【0053】図8(c)参照

次いで、CMP(Chemical Mechanical Polishing)法を用いて、TiN膜24が露出するまで研磨してSiO<sub>2</sub>膜43の表面を平坦化する。

【0054】図8(d)参照

次いで、Wプラグ20、21を設けたp型シリコン基板11上に、Wプラグ21とTiN膜24とが接続するように位置合わせしてBaTiO<sub>3</sub>基板26を圧着し、例えば、700℃に加熱することによってBaTiO<sub>3</sub>基板26を接合する。

【0055】図9(e)参照

次いで、機械研磨法によって、BaTiO<sub>3</sub>基板26を、SiO<sub>2</sub>膜43が露出するまで、例えば、300nm(=0.3μm)の厚さに研磨してBaTiO<sub>3</sub>膜27にする。

【0056】図9(f)参照

次いで、レジストパターン44を設けたのち、スパッタリング法によって全面に厚さが、例えば、200nmのPt膜45を堆積させる。

【0057】図9(g)参照

次いで、レジストパターン44を除去するリフトオフ法によって残存するPt膜45をPt上部電極28としたのち、図6に示した様に第2層間絶縁膜に設けたプラグを介してプレート線に接続することによって、FeRAMのメモリセルの基本構成が完成する。

【0058】この本発明の第6の実施の形態においては、電荷保持層となるBaTiO<sub>3</sub>膜27の面積を、Pt下部電極25或いは下地バリアメタルとなるTiN膜24の面積より大きくすることができるので、強誘電体メモリ装置を高集積化することができるとともに、蓄積容量の低減を抑制することができる。

【0059】次に、図10及び図11を参照して本発明の第7の実施の形態の製造工程を説明する。なお、各図は1メモリセルの概略的断面図であり、Wプラグ20、21の形成工程までは図12に示した従来のFeRAMの製造工程と実質的に同じであり、且つ、本発明の特徴点とは直接の関連がないので説明は省略する。

図10(a)参照

まず、単結晶のMgO基板46上に、厚さが、例えば、200nmのPt膜47、厚さが、例えば、100nmのSrRuO<sub>3</sub>膜48、厚さが、例えば、500nmのPZT膜49、厚さが、例えば、100nmのSrRuO<sub>3</sub>膜50、及び、厚さが、例えば、200nmのPt膜51を順次エピタキシャル成長させる。

【0060】図10(b)参照

次いで、レジストパターン(図示せず)をマスクとして、MgO基板46の一部が露出するまでエッチングして順テーパ状のメサ52を形成することによって、所定面積のPt下部電極57/SrRuO<sub>3</sub>、電極56/PZ



T膜55/SrRuO<sub>3</sub>、電極54/Pt上部電極53からなる強誘電体キャパシタを構成する。

【0061】図10(c)参照

次いで、レジストパターンを除去したのち、全面に厚いSiO<sub>2</sub>膜58を堆積させて、メサ52の全体を被覆する。

【0062】図10(d)参照

次いで、CMP法を用いて、Pt上部電極57電極が露出するまで研磨してSiO<sub>2</sub>膜58の表面を平坦化する。

【0063】図11(e)参照

次いで、Wプラグ20、21を設けたp型シリコン基板11上に、Wプラグ21とPt下部電極57とが接続するように位置合わせしてMgO基板46を圧着し、加熱することによってMgO基板46を接合する。

【0064】図11(f)参照

次いで、機械研磨法によって、MgO基板46を、SiO<sub>2</sub>膜58が露出するまで研磨してMgO基板46を完全に除去したのち、図6に示した様に第2層間絶縁膜に設けたプラグを介してプレート線に接続することによって、FeRAMのメモリセルの基本構成が完成する。

【0065】この本発明の第7の実施の形態においては、電荷保持層となるPZT膜55の面積を、Pt下部電極57の面積より大きくすることができるので、強誘電体メモリ装置を高集積化することができる。また、電荷保持層としてPZT膜55を用いているので、電荷保持層としてBaTiO<sub>3</sub>膜27を用いた上記の第6の実施の形態より優れた特性を得ることができる。

【0066】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に示した構成に限られるものでなく、各種の変更が可能である。例えば、上記の第2、第3、第4、及び、第7の実施の形態においては、電荷保持層としてPZTを用いているが、PZTに限られるものではなくPZ、PT、PLZT等のPbを含むペロブスカイト酸化物一般にも適用されるものである。

【0067】また、上記の各実施の形態においては、下部電極として、Ptを用いているが、例えば、Ru、Ir、或いは、RuO<sub>2</sub>等を用いても良いものである。即ち、白金族(Pt、Ru、Ir)、白金族の酸化物(RuO<sub>2</sub>、IrO<sub>2</sub>)、或いは、これらの積層構造(Pt/IrO<sub>2</sub>等)のいずれかを用いれば良い。

【0068】また、上記の第3の実施の形態においては、支持基板として(111)面を主面とする単結晶のKBr基板を用いているが、(111)を主面とする単結晶のLiF基板を用いても良く、このLiF基板上に(111)配向のPZT膜を形成し、トランジスタを形成した半導体基板に接合したのち、水酸化リチウム(LiOH)を用いてLiF基板をエッチング除去すれば良い。

【0069】また、上記の第4の実施の形態においては、支持基板として(111)面を主面とする単結晶のKBr基板を用い、Pt膜を介してPZT膜を成長させているが、(111)を主面とする単結晶のLiF基板等のアルカリハライド基板を用いても良く、このLiF基板上にPt膜を介してPZT膜を成長させ、KBr基板の場合と同様に、水素雰囲気中で300℃の温度で熱処理することによってLiF基板をPt膜とともに剥離させても良いものである。

10 【0070】また、支持基板としては、KBr、LiF、或いは、MgO以外に、電荷保持層となる誘電体膜の格子定数を考慮して、NaCl、KCl、NaF、CaF<sub>2</sub>、LaAlO<sub>3</sub>、或いは、NaBr等を用いても良いものである。

【0071】また、上記の第1、第5、及び、第6の実施の形態においては、電荷保持層兼基板としてBaTiO<sub>3</sub>、単結晶を用いているが、NbTiO<sub>3</sub>、単結晶、LiNbO<sub>3</sub>、単結晶等を用いても良いものである。

20 【0072】また、上記の第2の実施の形態においては、単結晶シリコン基板上に、SrRuO<sub>3</sub>膜/PZT膜/SrRuO<sub>3</sub>膜をエビタキシャル成長させているが、シリコン基板の代わりに、単結晶のSrTiO<sub>3</sub>基板を用いても良いものである。

30 【0073】また、上記の実施の形態の説明においては、1Tr+1C型の強誘電体メモリの情報蓄積キャパシタを前提として説明しているが、2Tr+2C型の強誘電体メモリの情報蓄積キャパシタにも適用されるものであり、さらに、このような強誘電体メモリ用のキャパシタに限られるものではなく、Ta<sub>2</sub>O<sub>5</sub>等の高誘電率膜を用いたDRAM等にも適用されるのである。

40 【0074】即ち、DRAMにおいても、集積度を高めるにつれて情報蓄積キャパシタを構成する誘電体膜として高誘電率膜を用いる必要が生ずるが、この場合にも、高誘電率膜をバルク単結晶或いはエビタキシャル成長膜によって構成することによって、誘電率を多結晶或いはアモルファス状態の高誘電率膜より高めることができ、それによって、蓄積容量を大きくすることができる。

【0075】さらに、本発明は、通常の半導体集積回路装置における容量の大きな微小キャパシタとして、或いは、他の電子デバイスのキャパシタとしても適用されるものである。

【0076】

【発明の効果】本発明によれば、電荷保持層を単結晶或いは主たる部分が単結晶からなる強誘電体膜或いは高誘電率膜によって構成しているので、ファティーグ、インプリント劣化、リテンション劣化、水素劣化を低減することができ、FeRAM或いはDRAMの高集積化、高性能化、高信頼性化に寄与するところが大きい。

【図面の簡単な説明】

50 【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の製造工程の説明図である。

【図3】本発明の第2の実施の形態の製造工程の説明図である。

【図4】本発明の第3の実施の形態の製造工程の説明図である。

【図5】本発明の第4の実施の形態の製造工程の説明図である。

【図6】次世代FeRAMの概略的断面図である。

【図7】本発明の第5の実施の形態の製造工程の説明図である。

【図8】本発明の第6の実施の形態の途中までの製造工程の説明図である。

【図9】本発明の第6の実施の形態の図8以降の製造工程の説明図である。

【図10】本発明の第7の実施の形態の途中までの製造工程の説明図である。

【図11】本発明の第7の実施の形態の図10以降の製造工程の説明図である。

【図12】従来のFeRAMの概略的断面図である。

【符号の説明】

1 トランジスタを設けた半導体基板

2 下部バリアメタル層

3 下部電極

4 電荷保持層

5 上部電極

6 電荷保持用キャパシタ

11 p型シリコン基板

12 素子分離酸化膜

13 ゲート絶縁膜

14 ゲート電極

15 n<sup>-</sup>型LDD領域

16 サイドウォール

17 n<sup>+</sup>型ドレイン領域

18 n<sup>+</sup>型ソース領域

19 第1層間絶縁膜

20 Wプラグ

21 Wプラグ

22 SiN膜

23 SiO<sub>2</sub>膜

24 TiN膜

25 Pt下部電極

26 BaTiO<sub>3</sub>基板

27 BaTiO<sub>3</sub>膜

28 Pt上部電極

29 シリコン基板

30 SrRuO<sub>3</sub>膜

31 PZT膜

32 SrRuO<sub>3</sub>膜

33 SrRuO<sub>3</sub>電極

34 PZT膜

35 SrRuO<sub>3</sub>電極

36 KBr基板

37 PZT膜

38 PZT膜

39 Pt上部電極

40 Pt膜

41 BaTiO<sub>3</sub>膜

42 メサ

43 SiO<sub>2</sub>膜

44 レジストパターン

45 Pt膜

46 MgO基板

47 Pt膜

48 SrRuO<sub>3</sub>膜

49 PZT膜

50 SrRuO<sub>3</sub>膜

51 Pt膜

52 メサ

53 Pt上部電極

54 SrRuO<sub>3</sub>電極

55 PZT膜

56 SrRuO<sub>3</sub>電極

57 Pt下部電極

58 SiO<sub>2</sub>膜

61 n型シリコン基板

62 p型ウェル領域

63 素子分離酸化膜

64 ゲート絶縁膜

65 ゲート電極

66 n<sup>-</sup>型LDD領域

67 サイドウォール

68 n<sup>+</sup>型ドレイン領域

69 n<sup>+</sup>型ソース領域

70 第1層間絶縁膜

71 Wプラグ

72 Wプラグ

73 SiN膜

74 SiO<sub>2</sub>膜

75 下部電極

76 PZT膜

77 上部電極

78 第2層間絶縁膜

79 局所内部配線

80 第3層間絶縁膜

81 ビット線

82 プラグ

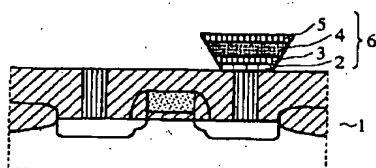
83 プラグ

84 下地バリアメタル

85 強誘電体膜

【図1】

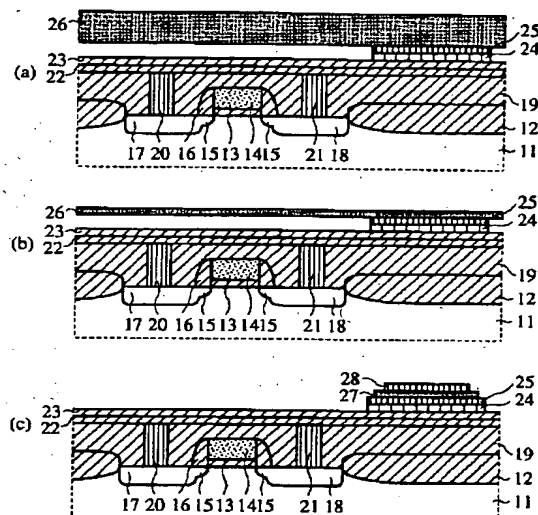
本発明の原理的構成の説明図



- 1: トランジスタを設けた半導体基板  
 2: 下部バリアメタル層  
 3: 下部電極  
 4: 電荷保持層  
 5: 上部電極  
 6: 電荷保持用キャパシタ

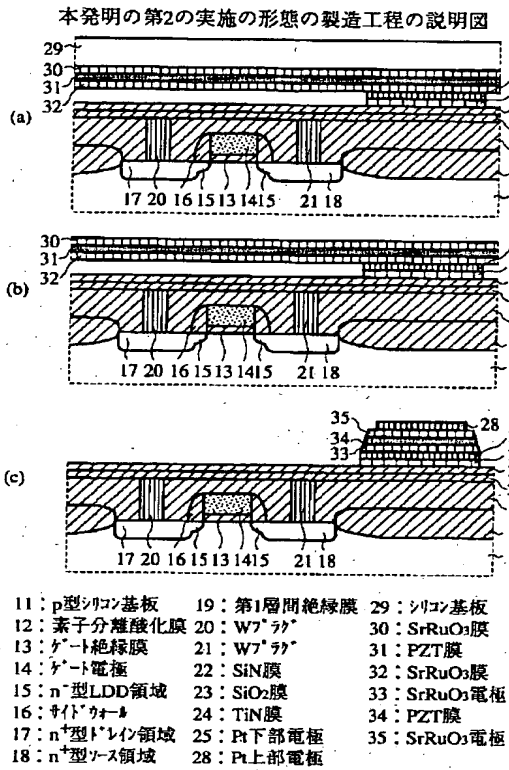
【図2】

本発明の第1の実施の形態の製造工程の説明図

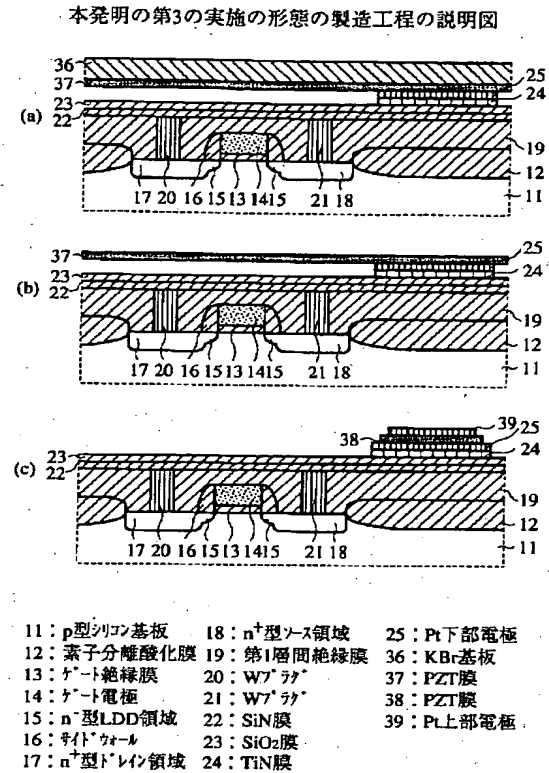


- 11: p型シリコン基板 17: n<sup>+</sup>型ドレイン領域 23: SiO<sub>2</sub>膜  
 12: 素子分離酸化膜 18: n<sup>+</sup>型ソース領域 24: TiN膜  
 13: ゲート絶縁膜 19: 第1層間絶縁膜 25: Pt下部電極  
 14: ゲート電極 20: W<sup>+</sup>ラテ 26: BaTiO<sub>3</sub>基板  
 15: n<sup>+</sup>型LDD領域 21: W<sup>+</sup>ラテ 27: BaTiO<sub>3</sub>膜  
 16: Ptドレイン 22: SiN膜 28: Pt上部電極

【図3】

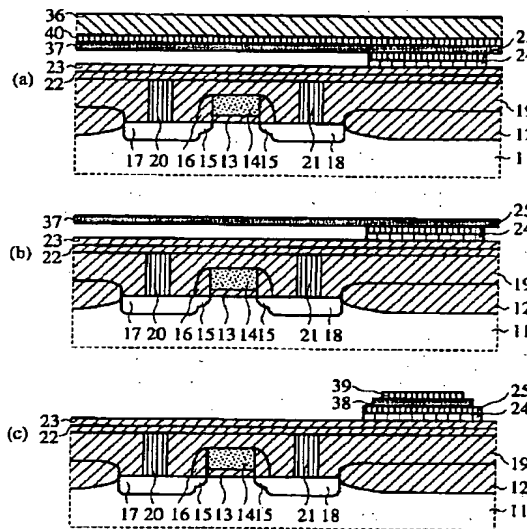


【図4】



【図5】

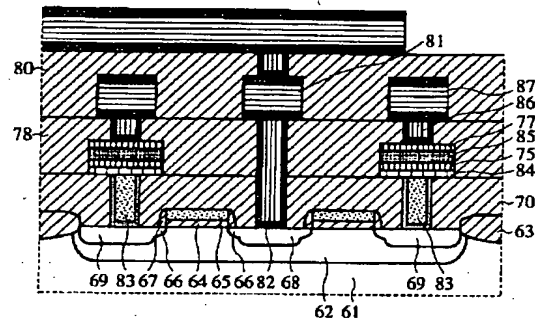
本発明の第4の実施の形態の製造工程の説明図



- |                            |                           |            |
|----------------------------|---------------------------|------------|
| 11: p型シリコン基板               | 18: n <sup>+</sup> 型ソース領域 | 25: Pt下部電極 |
| 12: 素子分離酸化膜                | 19: 第1層間絶縁膜               | 36: KBr基板  |
| 13: ゲート絶縁膜                 | 20: Wプラタ                  | 37: PZT膜   |
| 14: ゲート電極                  | 21: Wプラタ                  | 38: PZT膜   |
| 15: n <sup>-</sup> 型LDD領域  | 22: SiN膜                  | 39: Pt上部電極 |
| 16: サイドウォール                | 23: SiO <sub>2</sub> 膜    | 40: Pt膜    |
| 17: n <sup>+</sup> 型ドレイン領域 | 24: TiN膜                  |            |

【図6】

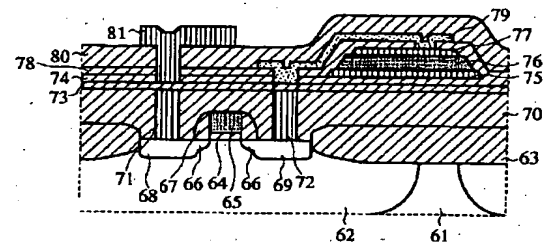
次世代FeRAMの概略的断面図



- |                           |                            |            |
|---------------------------|----------------------------|------------|
| 61: n型シリコン基板              | 68: n <sup>+</sup> 型ドレイン領域 | 81: ビット線   |
| 62: p型ウェル領域               | 69: n <sup>+</sup> 型ソース領域  | 82: プラタ    |
| 63: 素子分離酸化膜               | 70: 第1層間絶縁膜                | 83: プラタ    |
| 64: ゲート絶縁膜                | 75: 下部電極                   | 84: 下地バリア層 |
| 65: ゲート電極                 | 77: 上部電極                   | 85: 強誘電体膜  |
| 66: n <sup>-</sup> 型LDD領域 | 78: 第2層間絶縁膜                | 86: プラタ    |
| 67: サイドウォール               | 80: 第3層間絶縁膜                | 87: プレート線  |

【図12】

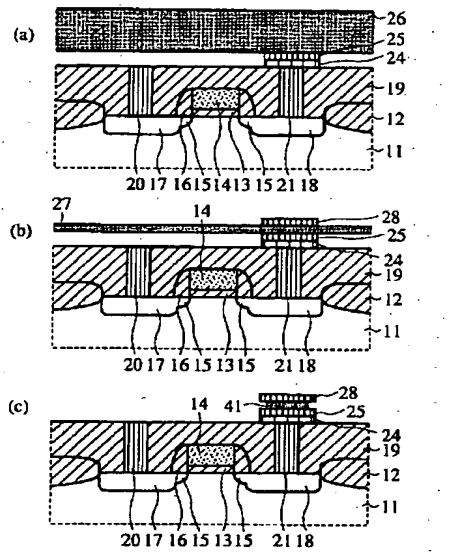
従来のFeRAMの概略的断面図



- |                           |                            |             |
|---------------------------|----------------------------|-------------|
| 61: n型シリコン基板              | 68: n <sup>+</sup> 型ドレイン領域 | 75: 下部電極    |
| 62: p型ウェル領域               | 69: n <sup>+</sup> 型ソース領域  | 76: PZT膜    |
| 63: 素子分離酸化膜               | 70: 第1層間絶縁膜                | 77: 上部電極    |
| 64: ゲート絶縁膜                | 71: Wプラタ                   | 78: 第2層間絶縁膜 |
| 65: ゲート電極                 | 72: Wプラタ                   | 79: 局所内部配線  |
| 66: n <sup>-</sup> 型LDD領域 | 73: SiN膜                   | 80: 第3層間絶縁膜 |
| 67: サイドウォール               | 74: SiO <sub>2</sub> 膜     | 81: ビット線    |

【図7】

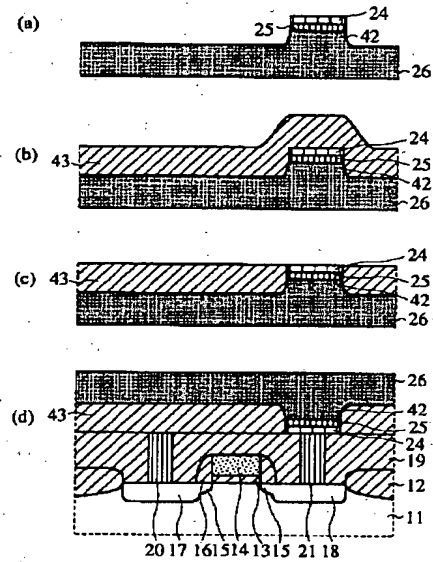
本発明の第5の実施の形態の製造工程の説明図



- |                           |                            |                           |
|---------------------------|----------------------------|---------------------------|
| 11: p型シリコン基板              | 17: n <sup>+</sup> 型ドレイン領域 | 25: Pt下部電極                |
| 12: 素子分離酸化膜               | 18: n <sup>+</sup> 型ソース領域  | 26: BaTiO <sub>3</sub> 基板 |
| 13: ゲート絶縁膜                | 19: 第1層間絶縁膜                | 27: BaTiO <sub>3</sub> 膜  |
| 14: ゲート電極                 | 20: W7 <sup>ラカ</sup>       | 28: Pt上部電極                |
| 15: n <sup>-</sup> 型LDD領域 | 21: W7 <sup>ラカ</sup>       | 41: BaTiO <sub>3</sub> 膜  |
| 16: サイドウォール               | 24: TiN膜                   |                           |

【図8】

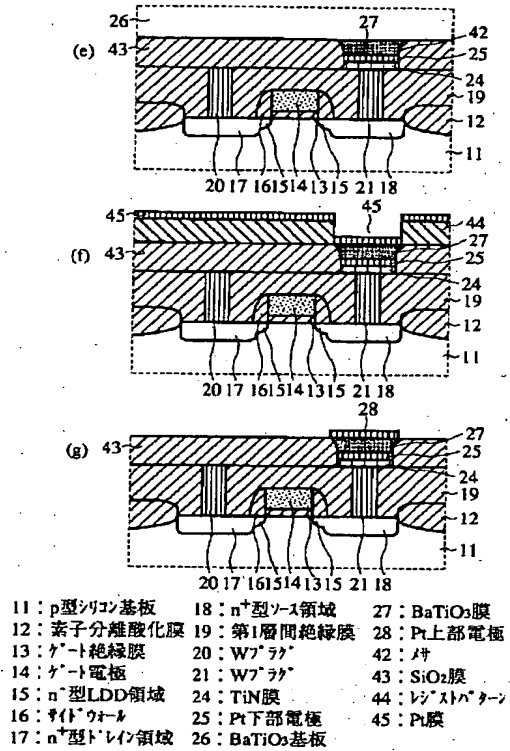
本発明の第6の実施の形態の途中までの製造工程の説明図



- |                           |                            |                           |
|---------------------------|----------------------------|---------------------------|
| 11: p型シリコン基板              | 17: n <sup>+</sup> 型ドレイン領域 | 25: Pt下部電極                |
| 12: 素子分離酸化膜               | 18: n <sup>+</sup> 型ソース領域  | 26: BaTiO <sub>3</sub> 基板 |
| 13: ゲート絶縁膜                | 19: 第1層間絶縁膜                | 42: Pt                    |
| 14: ゲート電極                 | 20: W7 <sup>ラカ</sup>       | 43: SiO <sub>2</sub> 膜    |
| 15: n <sup>-</sup> 型LDD領域 | 21: W7 <sup>ラカ</sup>       |                           |
| 16: サイドウォール               | 24: TiN膜                   |                           |

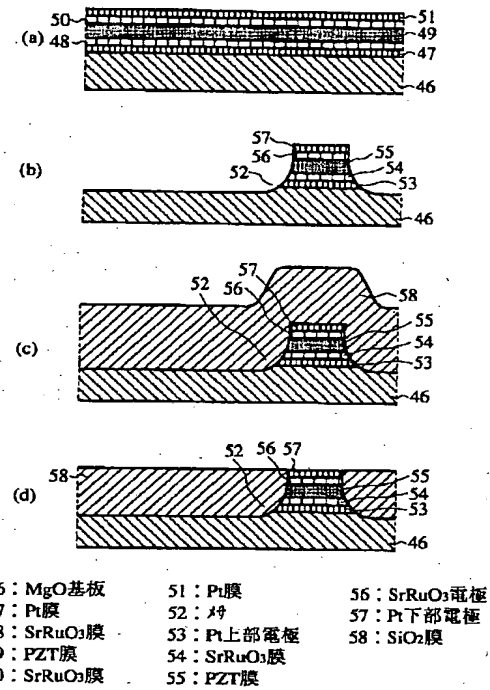
【図9】

本発明の第6の実施の形態の図8以降の製造工程の説明図



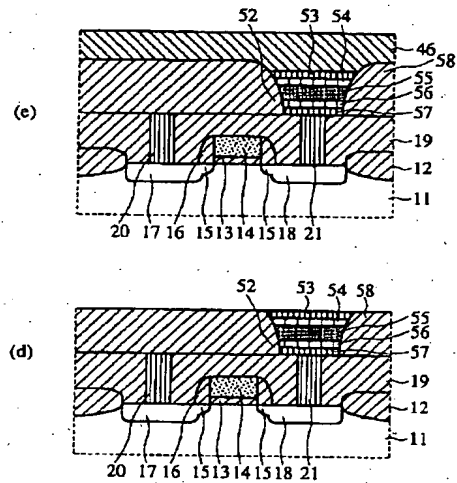
【図10】

本発明の第7の実施の形態の途中までの製造工程の説明図



【図11】

本発明の第7の実施の形態の  
図10以降の製造工程の説明図



- |                            |                           |                           |
|----------------------------|---------------------------|---------------------------|
| 11: p型シリコン基板               | 18: n <sup>+</sup> 型ソース領域 | 54: SrRuO <sub>3</sub> 電極 |
| 12: 素子分離酸化膜                | 19: 第1層間絶縁膜               | 55: PZT膜                  |
| 13: ゲート絶縁膜                 | 20: W <sup>+</sup> ラック    | 56: SrRuO <sub>3</sub> 電極 |
| 14: ゲート電極                  | 21: W <sup>+</sup> ラック    | 57: Pt 下部電極               |
| 15: n <sup>+</sup> 型LDD領域  | 46: MgO基板                 | 58: SiO <sub>2</sub> 膜    |
| 16: サイトホール                 | 52: Al                    |                           |
| 17: n <sup>+</sup> 型ドレイン領域 | 53: Pt上部電極                |                           |

フロントページの続き

Fターム(参考) 5F083 AD21 AD54 AD60 FR02 FR03  
GA09 GA21 JA14 JA15 JA17  
JA38 JA39 JA40 JA43 KA05  
KA19 MA06 MA17 MA18 PR25  
PR33